

Requested Patent: JP8031841A
Title: STRUCTURE OF COMPLEMENTARY BIPOLAR TRANSISTORS ;
Abstracted Patent: US5955775 ;
Publication Date: 1999-09-21 ;
Inventor(s): MIWA HIROYUKI (JP) ;
Applicant(s): SONY CORP (JP) ;
Application Number: US19950501634 19950712 ;
Priority Number(s): JP19940159732 19940712 ;
IPC Classification: H01L29/00; H01L27/082; H01L27/102 ;
Equivalents: ;

ABSTRACT:

A complementary bipolar transistor device, made of two separate conductive films such as two highly doped polysilicon films of opposite conductivity types. The doped polysilicon film is used for a base of NPN transistor and an emitter of a PNP transistor whereas the other doped polysilicon film is used for emitter of the NPN and a base of the PNP. The resulting base and emitter isolating structure is easy to fabricate, and self-aligned to the advantage of size reduction of individual devices.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31841

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.⁶
H 0 1 L 21/331
29/73

識別記号 片内整理番号

F I

技術表示箇所

H 0 1 L 29/ 72

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21)出願番号 特願平6-159732

(22)出願日 平成6年(1994)7月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 三輪 浩之

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

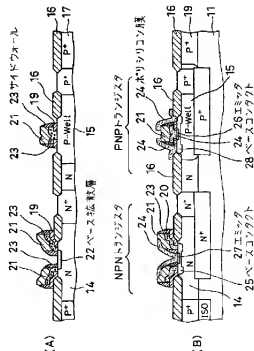
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 工程数の少なく、低コスト化が図れ、エミッターベースの分離を自己整合で行える相補型バイポーラトランジスタの製造方法を提供する。

【構成】 電氣的に分離されたポリシリコン膜20、24を形成し、ポリシリコン膜20を、NPNトランジスタのベース25、PNPトランジスタのエミッタ26に用い、ポリシリコン膜24を、NPNトランジスタのエミッタ27、PNPトランジスタのベース28に用いることにより、ベース、エミッタのイオン注入等による作り分けを不要となし、工程数を大幅に削減することが可能となる。また、エミッタ、ベースの分離を自己整合で行えるため、微細化による高性能化が可能となる。



1

【特許請求の範囲】

【請求項1】 電気的に分離された少なくとも2層の電気伝導膜を有し、

第1層の電気伝導膜をベース電極、第2層の電気伝導膜をエミッタ電極とした第1のトランジスタと、

該第1層の電気伝導膜をエミッタ電極、第2層の電気伝導膜をベース電極とした第2のトランジスタと、を備えたことを特徴とする半導体装置。

【請求項2】 電気的に分離された少なくとも2層の電気伝導膜を有し、

第1層の電気伝導膜内に形成された開口部内部に形成された第2層の電気伝導膜を有した第1のトランジスタと、

該第1層の電気伝導膜外部に形成された第2層の電気伝導膜を有した第2のトランジスタと、を備えたことを特徴とする半導体装置。

【請求項3】 電気的に分離された少なくとも2層の電気伝導膜を有し、

第1層の電気伝導膜により形成されたベース電極及びこのベース電極内に形成された開口部内に形成された第2層の電気伝導膜外部に形成されたエミッタ電極を有した第1のトランジスタと、

該第1層の電気伝導膜により形成されたエミッタ電極及びこのエミッタ電極外部に形成された第2層の電気伝導膜により形成されたベース電極を有した第2のトランジスタと、を備えたことを特徴とする半導体装置。

【請求項4】 半導体基板に第1の絶縁膜を形成する工程と、

該第1の絶縁膜を開く工程と、

第1の電気伝導膜を形成する工程と、第2の絶縁膜を形成する工程と、

該第2の絶縁膜、第1の電気伝導膜の積層膜を加工する工程と、

該第2の絶縁膜、第1の電気伝導膜の積層膜の一部に第2の開口部を形成する工程と、

該第2の絶縁膜、第1の電気伝導膜の積層膜及び第2の開口部の側壁に第3の絶縁膜を形成する工程と、第2の電気伝導膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板に第1の絶縁膜を形成する工程と、

該第1の絶縁膜を開く工程と、

第1の電気伝導膜を形成する工程と、

第2の絶縁膜を形成する工程と、

該第2の絶縁膜、第1の電気伝導膜の積層膜を加工する工程と、

該第2の絶縁膜、第1の電気伝導膜の積層膜の一部に第2の開口部を形成する工程と、

該第2の絶縁膜、第1の電気伝導膜の積層膜及び第2の開口部の側壁に第3の絶縁膜を形成する工程と、

2

第2の電気伝導膜を形成する工程と、第1の電気伝導膜を拡散源として第1導電型の拡散層を形成する工程と、第2の電気伝導膜を拡散源として第2導電型の拡散層を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置及びその製造方法に関し、さらに詳しくは、高性能相補型（Complementary）バイポーラトランジスタに係る。

【0002】

【従来の技術及び発明が解決しようとする課題】 超高速、低消費電力LSI実現のためのデバイスとして、相補型バイポーラトランジスタが注目されている。この種の例としては、1993 IEEE「AnPNP 30 GHz 32GHz fT Complementary Bipolar Technology; Onair」に記載されたものが知られている。このような相補型バイポーラトランジスタでは、NPNトランジスタ、PNPトランジスタの特性の悪い方のデバイスで性能が決定されるため、各々の特性を合わせることが望ましいが従来例ではNPNトランジスタ、PNPトランジスタが完全に対称な形をしており、このような観点からは有利である。しかしながら、ベースポリサイド電極、エミッタポリシリコン電極のイオン注入等による作り分けが必要であり、プロセスステップの増大を招き、TAT、コストの面で不利となる問題があった。

【0003】 この発明が解決しようとする課題は、低コストの相補型バイポーラトランジスタを実現するにはどのような手段を講じればよいかという点にある。

【0004】

【課題を解決するための手段】 そこで、請求項1記載の発明は、電気的に分離された少なくとも2層の電気伝導膜を有し、第1層の電気伝導膜をベース電極、第2層の電気伝導膜をエミッタ電極とした第1のトランジスタと、その第1層の電気伝導膜をエミッタ電極、第2層の電気伝導膜をベース電極とした第2のトランジスタと、を備えたことを、その解決手段としている。

【0005】 また、請求項2記載の発明は、電気的に分離された少なくとも2層の電気伝導膜を有し、第1層の電気伝導膜内に形成された開口部内部に形成された第2層の電気伝導膜を有した第1のトランジスタと、第1層の電気伝導膜外部に形成された第2層の電気伝導膜を有した第2のトランジスタと、を備えたことを特徴としている。さらに、請求項3記載の発明は、電気的に分離された少なくとも2層の電気伝導膜を有し、第1層の電気伝導膜により形成されたベース電極及びこのベース電極内に形成された開口部内に形成された第2層の電気伝導膜により形成されたエミッタ電極を有した第1のトラン

3

ジスタと、第1層の電気導電膜により形成されたエミッタ電極及びこのエミッタ電極外部に形成された第2層の電気導電膜により形成されたベース電極を有した第2のトランジスタと、を備えたことを特徴とする。

【0006】また、請求項4記載の発明は、半導体基板に第1の絶縁膜を形成する工程と、第1の絶縁膜を開口する工程と、第1の電気導電膜を形成する工程と、第2の絶縁膜を形成する工程と、第2の絶縁膜、第1の電気導電膜の積層膜を加工する工程と、第2の絶縁膜、第1の電気導電膜の積層膜の一部に第2の開口部を形成する工程と、該第2の絶縁膜、第1の電気導電膜の積層膜及び第2の開口部の側壁に第3の絶縁膜を形成する工程と、第2の電気導電膜を形成する工程と、を備えたことを、解決方法としている。

【0007】さらに、請求項5記載の発明は、半導体基板に第1の絶縁膜を形成する工程と、該第1の絶縁膜を開口する工程と、第1の電気導電膜を形成する工程と、第2の絶縁膜を形成する工程と、該第2の絶縁膜、第1の電気導電膜の積層膜を加工する工程と、該第2の絶縁膜、第1の電気導電膜の積層膜の一部に第2の開口部を形成する工程と、該第2の絶縁膜、第1の電気導電膜の積層膜及び第2の開口部の側壁に第3の絶縁膜を形成する工程と、第2の電気導電膜を形成する工程と、第1の電気導電膜を拡散源として第1導電型の拡散層を形成する工程と、第2の電気導電膜を拡散源として第2導電型の拡散層を形成する工程と、を備えたことを、解決方法としている。

【0008】

【作用】この発明においては、例えば、NPNTランジスタのベース電極をPNPTランジスタのエミッタ電極と、またNPNTランジスタのエミッタ電極をPNPTランジスタのベース電極と、各々同一の電気導電膜で構成することで、従来必要であったベース電極、エミッタ電極のイオン注入等による作り分けが不要となり、プロセスステップの増大を防止し、短TAT (Turn Around Time; 半導体生産者からユーザーに製品が供給されるまでの時間)、低コスト化を実現する作用がある。また、例えば、NPNTランジスタ、PNPTランジスタ共にエミッターベース分離を同一の絶縁膜のサイドウォール等にて自己整合(セルフアライン)で行えるため、微細化による高性能化を可能にする作用を有する。

【0009】

【実施例】以下、この発明に係る半導体装置及びその製造方法の詳細を図面に示す実施例に基づいて説明する。なお、図1(A)、(B)及び図2(A)、(B)は、NPNTランジスタ及びPNPTランジスタ(基板PNPTランジスタ)のシリコン基板の上部断面図である。

【0010】まず、図1(A)に示すように、P型のシリコン基板11にN⁺埋め込み層12とP⁺埋め込み層1

4

3を形成した後、0.5~1.0 μ mの膜厚のN型のエピタキシャル層14を形成する。次に、PNPTランジスタ形成領域にPウェル15を形成する。これらの領域は、NPNTランジスタ及びPNPTランジスタのコレクタとなる。次に、膜厚が例えば400~800nmの素子間分離膜16をLOCOS技術を用いて形成する。続いて、素子間分離膜16の直下に、アイソレーション用のP⁺拡散層17を形成する。なお、このP⁺拡散層17は、上記したPウェル15と同時に形成してもよい。そして、PNPTランジスタ形成領域にイオン注入によりベース層18を形成する。さらに、基板全面にCVD法にて100nm程度の膜厚のSiO₂膜19を形成した後、NPNTランジスタのベース/エミッタ形成領域と、PNPTランジスタのエミッタ形成領域とのSiO₂膜19に、ドライエッチング技術にて開口を形成する。

【0011】次に、図1(B)に示すように、100~200nm程度の膜厚のP⁺型のポリシリコン膜20をCVDにて堆積させた後、膜厚200~400nmのSiO₂膜21をCVDにて形成し、NPNTランジスタのベース電極とPNPTランジスタのエミッタ電極とを残し、既存のドライエッチング技術により、図面(B)に示すようにポリシリコン膜20及びSiO₂膜21を加工する。

【0012】その後、既存のドライエッチング技術にて、NPNTランジスタのベース/エミッタ形成領域を加工、開口する。次に、CVD等により10~20nm程度の膜厚のSiO₂膜を形成し、イオン注入を行い、図2(A)に示すようなベース拡散層22を形成する。さらに、CVDにて膜厚400~600nm程度のSiO₂膜を堆積させ、全面エッチバックを行うことにより、NPNTランジスタ、PNPTランジスタのエミッタ/ベース電極分離用のサイドウォール23を形成する。このとき、PNPTランジスタのベースコンタクト形成領域のSiO₂膜19を除去し、シリコン層を露出させる。なお、このときSiO₂の対Si高選択比エッチ技術を用いることで、オーバーエッチ時のシリコンのエッチング量が抑制できる。

【0013】その後、図2(B)に示すように、CVDにてN⁺型のポリシリコン膜24を形成し、既存のドライエッチング技術にて加工することにより、NPNTランジスタのエミッタ形成部、PNPTランジスタのベースコンタクト形成部にそのポリシリコン膜24を残存させる。次に、熱処理を行いP⁺型のポリシリコン20からの不純物拡散により、NPNTランジスタのベースコンタクト25及びPNPTランジスタのエミッタ26を、またN⁺のポリシリコン膜24からの不純物拡散によりNPNTランジスタのエミッタ27及びベースコンタクト28を各々形成する。その後、既存の配線技術を用いて各電極を形成すれば本実施例の半導体装置が完成

する。

【0014】本実施例においては、NPNトランジスタのベース電極をPNPトランジスタのエミッタ電極と、またNPNトランジスタのエミッタ電極をPNPトランジスタのベース電極と、各々同一の電気導電膜で構成することで、従来必要であったベース電極、エミッタ電極のイオン注入等による作り分けが不要となり、プロセスステップの増大を防止し、短TAT (Turn Around Time; 半導体生産者からユーザーに製品が供給されるまでの時間)、低コスト化を実現できる。また、NPNトランジスタ、PNPトランジスタ共にエミッタベース分離を同一の絶縁膜のサイドウォール等にて自己整合 (セルフアライン) で行えるため、微細化による高性能化が図れる。

【0015】以上、実施例について説明したが、本発明はこれに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。

【0016】

【発明の効果】以上の説明から明らかなように、この発明によれば、NPNトランジスタのベース電極をPNPトランジスタのエミッタ電極と、またNPNトランジスタのエミッタ電極をPNPトランジスタのベース電極と、各々同一の電気導電膜で構成することで、従来必要であったベース電極、エミッタ電極のイオン注入等による作り分けが不要となり、プロセスステップの増大を防止し、短TAT (Turn Around Time; 半

導体生産者からユーザーに製品が供給されるまでの時間)、低コスト化を実現できる。また、NPNトランジスタ、PNPトランジスタ共にエミッタベース分離を同一の絶縁膜のサイドウォール等にて自己整合 (セルフアライン) で行えるため、微細化による高性能化が図れる効果を奏する。

【図面の簡単な説明】

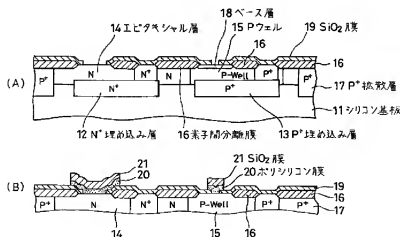
【図1】(A)及び(B)は本発明の実施例を示す断面図。

【図2】(A)及び(B)は本発明の実施例を示す断面図。

【符号の説明】

- 11…シリコン基板
- 12…N⁺埋め込み層
- 13…P⁺埋め込み層
- 14…エピタキシャル層
- 15…Pウェル
- 16…素子間分離膜
- 17…P⁺拡散層
- 18…ベース層
- 19…SiO₂膜
- 20…ポリシリコン膜
- 21…SiO₂膜
- 22…ベース拡散層
- 23…サイドウォール
- 24…ポリシリコン膜

【図1】



【図2】

